



(19)

(11) Publication number:

10242826 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 09041275

(51) Intl. H03K 17/687 H01P 1/15 H03K 17/693
Cl.: H04B 1/18 H04B 1/44

(22) Application date: 26.02.97

(30) Priority:

(43) Date of application publication: 11.09.98

(84) Designated contracting states:

(71) Applicant: NEC CORP

(72) Inventor: YANO HITOSHI

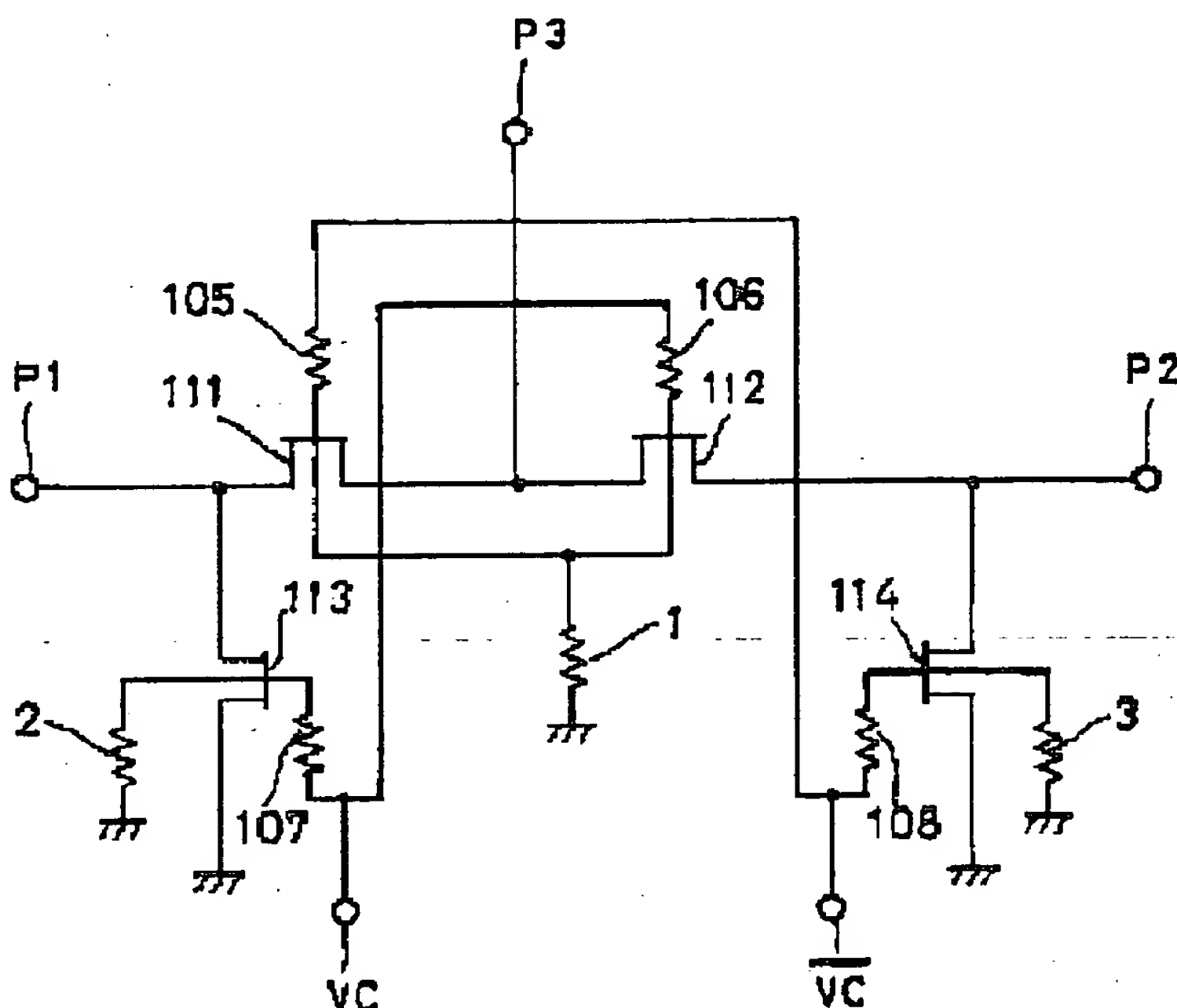
(74) Representative:

(54) HIGH FREQUENCY SWITCH CIRCUIT

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a high frequency switch circuit which can reduce a transmission loss of a high frequency current due to capacitance between a drain and a back gate and between a source and the back gate.

SOLUTION: Resistors 1-3 are connected between ground and the back gates of TRs 111-114. When a high level is applied to a control terminal VC and a low level voltage is applied to an inverse of VC, the TRs 112, 113 are conductive and the TRs 111, 114 are nonconductive, terminals P3, P2 are connected electrically and terminals P3, P1 are interrupted electrically. In this case, when the back gates of the TRs 111, 114 being nonconductive connect to ground, although a high frequency signal is give to ground by a back gate-drain capacitance, since the resistors 1, 3 are connected between the back gate and ground, the leakage current is reduced.



COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242826

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

H 0 3 K 17/687

H 0 1 P 1/15

H 0 3 K 17/693

H 0 4 B 1/18

1/44

F I

H 0 3 K 17/687

H 0 1 P 1/15

H 0 3 K 17/693

H 0 4 B 1/18

1/44

G

A

J

審査請求 有 請求項の数 8 O L (全 7 頁)

(21) 出願番号

特願平9-41275

(22) 出願日

平成9年(1997) 2月26日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 矢野 仁之

東京都港区芝五丁目7番1号 日本電気株式会社内

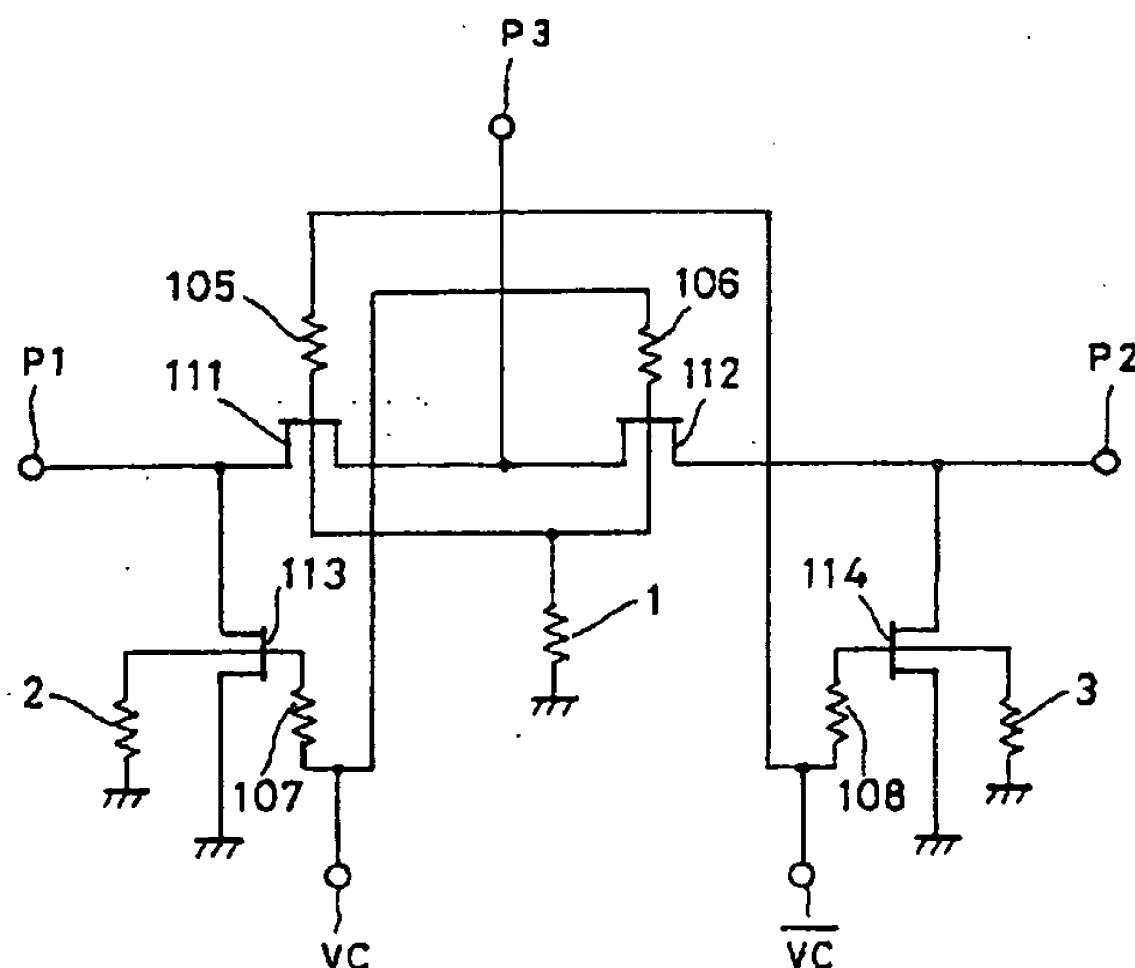
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 高周波スイッチ回路

(57) - 【要約】

【課題】 ドレインとバックゲート間及びソースとバックゲート間の容量に起因する高周波電流の透過損失を低減することができる高周波スイッチ回路の提供。

【解決手段】 各トランジスタ111~114のバックゲートと接地間に抵抗器1~3を接続した。制御端子VCにハイレベル、VCバーにローレベル電圧を印加するとトランジスタ112, 113がオン、トランジスタ111, 114がオフとなり、端子P3・P2間が電氣的に接続され、端子P3・P1間が電氣的に切断される。このとき、オフとなっているトランジスタ111, 114のバックゲートが接地されているとバックゲート・ドレイン間容量により高周波信号が接地に逃げるが、そのバックゲート・接地間に抵抗器1, 3が接続されているためこれを低減することができる。



【特許請求の範囲】

【請求項1】 ドレイン、ソース、ゲート及びバックゲートを有するトランジスタの前記ゲート電圧を制御することにより前記ドレイン・ソース間を電氣的に接続又は切断する高周波スイッチ回路であって、前記バックゲートと接地間に抵抗器を接続したことを特徴とする高周波スイッチ回路。

【請求項2】 第1の端子と第2の端子間に直列接続される第1及び第2の前記トランジスタと、前記第1の端子と接地間に接続される第3の前記トランジスタと、前記第2の端子と接地間に接続される第4の前記トランジスタとからなり、前記第1及び第2のトランジスタの接続点を第3の端子とし、前記第1乃至第4のトランジスタの前記ゲート電圧を制御することにより、前記第1の端子と前記第3の端子間及び前記第2の端子と前記第3の端子間のいずれか一方を電氣的に接続することを特徴とする請求項1記載の高周波スイッチ回路。

【請求項3】 第1の端子と第3の端子間に接続される第1の前記トランジスタと、第1の端子と第4の端子間に接続される第2の前記トランジスタと、第2の端子と第3の端子間に接続される第3の前記トランジスタと、第2の端子と第4の端子間に接続される第4の前記トランジスタとからなり、前記第1乃至第4のトランジスタの前記ゲート電圧を制御することにより、前記第1の端子及び前記第2の端子を夫々前記第3の端子と前記第4の端子に接続するか、又は前記第1の端子及び前記第2の端子を夫々前記第4の端子と前記第3の端子に接続することを特徴とする請求項1記載の高周波スイッチ回路。

【請求項4】 前記トランジスタはMOSトランジスタであることを特徴とする請求項1～3いずれかに記載の高周波スイッチ回路。

【請求項5】 前記トランジスタはジャンクション型トランジスタであることを特徴とする請求項1～3いずれかに記載の高周波スイッチ回路。

【請求項6】 請求項2に記載の高周波スイッチ回路を複数段に接続したことを特徴とする高周波スイッチ回路。

【請求項7】 請求項3に記載の高周波スイッチ回路を複数段に接続したことを特徴とする高周波スイッチ回路。

【請求項8】 前記高周波スイッチ回路間に増幅回路を接続したことを特徴とする請求項6又は7記載の高周波スイッチ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は高周波スイッチ回路に関し、特に半導体スイッチを用いた高周波スイッチ回路に関する。

【0002】

【従来の技術】 従来、高周波を切り替えるためのスイッチとしてはPINダイオード、デュアルゲートFETを用いたもの等があるが、GaAsモノリシックICの製造技術の進歩と共に、GaAs・FETをアナログスイッチとして用いたものが一般的に知られている。その例として、図8にSPDT (Single-Pole-Double-Through) 構成のスイッチの回路図を示す。

【0003】 このスイッチは、第1の端子P1と第2の端子P2間に直列接続される第1及び第2のトランジスタ101、102と、第1の端子P1と接地間に接続される第3のトランジスタ103と、第2の端子P2と接地間に接続される第4のトランジスタ104と、夫々のトランジスタ101～104のゲートに接続された抵抗器105～108とからなり、第1及び第2のトランジスタ101、102の接続点P3を第3の端子とし、第1乃至第4のトランジスタ101～104のゲート電圧VCを制御することにより、第1の端子P1と第3の端子P3間及び第2の端子P2と第3の端子P3間のいずれか一方を電氣的に接続するものである。

【0004】 この構成では、GaAs・FET構成のトランジスタを一種の受動素子として用いるため、FETを能動動作させる為のバイアス回路は入らず回路がコンパクトになる。従って、大規模なスイッチをワンチップ上に構成することも可能となる。

【0005】 原理を簡単に説明すると次のようになる。図9はこのスイッチに対して制御電圧VCをハイ（高）レベルにした場合の等価回路を示している。制御電圧VCがハイレベルの時FETは導通状態になり、ロー（低）レベルで開放状態になる。従って等価回路では図9に示すようにトランジスタ102、103は抵抗器で、トランジスタ101、104はコンデンサーで表される。

【0006】 図9の等価回路では、端子P2の信号が端子P3に出力される。制御電圧VCをローレベルに設定すれば逆に端子P1の信号が端子P3に出力される。

【0007】 なお、トランジスタ103、104の導通時の抵抗値を入出力端子の特性インピーダンスに合わせたときは無反射端終端として働くが、端子P3へのアイソレーション（絶縁）を悪くする。また抵抗値を極力0Ωになるような設計では全反射端として働き、端子P3へのアイソレーションは良いが、反射により前段の回路動作に影響を与える可能性がある。

【0008】 このようなFETアナログスイッチ型の高周波切り替えスイッチにGaAs・FETが使われる理由は、相互コンダクタンスgm、トランジション周波数ftが高いため、図9に示した等価回路で言う抵抗値の変動量を大きくしやすいこと、ハイインピーダンス時即ち開放時のキャパシタが小さくアイソレーション特性が高周波まで延びることによる。

【0009】一方、Siを用いたFETである、MOSトランジスタ(MOSFET)、ジャンクション型トランジスタ(JFET)のゲート長は微細加工技術の進歩により1ミクロンを切るようになり、FETの g_m 、 f_t と言った性能の向上には目を見張るものがある。

【0010】従って、Si・FETを用いたFETアナログスイッチ型の高周波切り替えスイッチの実現が可能になっている。GaAsと比べるとSiは豊富に存在し、かつ集積化技術も進歩しているため廉価に提供できる、他の集積回路との複合化が容易に可能という利点がある。

【0011】ところで、GaAsとSiでのFET構造における大きな違いは、図12のGaAs・FETの端子説明図に示すように、GaAsでは基板が半絶縁性であるため、FETはソース(S)、ドレイン(D)、ゲート(G)の3端子であるのに対して、図10のSi・FETの端子説明図に示すようにSiの基板は導体であり、基板電位(あるいはウェル電位)を固定するためのバックゲート電極(BG)が加わった4端子素子であることにある。

【0012】通常、バックゲート電極BGは、ある電位に交流的にも直流的にも固定される。例えば、nチャネルを有するMOSFET、JFETでは回路中の一番低い電位に固定する。通常はソース電位に固定して使われる。

【0013】ここでFETの高周波に対する等価回路を再び考えると、FETは能動動作していないため、Si・FETの等価回路は図11、GaAs・FETの等価回路は図13に示すようになる。

【0014】すなわち、Si・FETの等価回路はドレイン・ソース間が抵抗器R1で接続され、ドレイン・ゲート間及びソース間が夫々コンデンサC1、C2で接続され、ドレイン・バックゲート間及びソース・バックゲート間が夫々コンデンサC3、C4で接続される。

【0015】一方、GaAs・FETの等価回路はドレイン・ソース間が抵抗器R1で接続され、ドレイン・ゲート間及びドレイン・ソース間が夫々コンデンサC1、C2で接続される。

【0016】したがって、コンデンサ(容量)については、図13に示すようにGaAs・FETでは、ゲート・ドレイン間容量C1、ゲート・ソース間容量C2を考えればよいが、図11に示すようにSi・FETではこれらの容量C1、C2に加えソース・バックゲート間容量C3とドレイン・バックゲート間容量C4も付加される。

【0017】

【発明が解決しようとする課題】ゲートとソース及びゲートとドレイン間の容量C1、C2は高周波でのアイソレーションを劣化させるが、更に、バックゲートとソース及びバックゲートとドレイン間の容量C3、C4は高

周波信号を接地に逃がしてしまうため、透過損失となり切り替えスイッチの性能を劣化させる原因になる。

【0018】例えば、図14のSi・FET111~114による高周波スイッチ回路の回路図に示したように、バックゲートBGを接地する従来型の回路では、各FET111~114はそのドレインDとバックゲートBG間に容量Cを有するため、各FET111~114がオフの場合、第1の端子P1又は第2の端子P2より入力された高周波電流はドレインD及びバックゲートBGを経由して接地に流れていく。特にFETをスイッチとして使う場合、スイッチ自体の抵抗値を小さくするためFETのサイズをかなり大きくするので、接地へのパスコンデンサの役目をはたす容量も大きなものとなり、この影響は無視できない。

【0019】一方、特開平7-235802号公報に、高周波信号の入力端子と出力端子との間を結ぶ伝送線路上の一点とスイッチング素子との間に、この伝送線路を通過する信号の波長の4分の1の奇数倍の線路長を有する分布定数回路を設け、オン状態の時の通過損失を小さく、かつオフ状態の時の信号漏れを小さくした高周波スイッチ回路が開示され、特開平6-188630号公報に、エレメント上の給電点と異なる位置に設けられた接地ラインにコンデンサが介在されるとともに、このエレメント側であって接地ラインとコンデンサとの接続点に直流電源の供給点が設けられたアンテナエレメントと、このアンテナエレメントと外部接続される受信回路及び送信回路との接続を切換え可能にすべく給電点と受信回路及び送信回路間を夫々スイッチング素子を介して接続するRFスイッチとを備え、スイッチング素子の駆動電源が給電点から接地ライン及びアンテナエレメントの給電点を介して供給されるため、RFスイッチ本体側にスイッチング素子の駆動電源用の回路を設ける必要をなくし、かつRFスイッチ内を通過する送受信信号が、RFスイッチを介して駆動電源側にロスすることをなくしたRFスイッチ付きアンテナが開示されている。

【0020】しかし、これら公報に開示されたトランジスタはバックゲートを有するものではなく、従ってドレインとバックゲート間及びソースとバックゲート間の容量に起因する高周波電流の透過損失を低減する回路についてはこれらの公報に開示されていない。

【0021】そこで本発明の目的は、ドレインとバックゲート間及びソースとバックゲート間の容量に起因する高周波電流の透過損失を低減することができる高周波スイッチ回路を提供することにある。

【0022】

【課題を解決するための手段】前記課題を解決するために本発明は、ドレイン、ソース、ゲート及びバックゲートを有するトランジスタの前記ゲート電圧を制御することにより前記ドレイン・ソース間を電氣的に接続又は切

断する高周波スイッチ回路であって、前記バックゲート

と接地間に抵抗器を接続したことを特徴とする。

【0023】本発明によれば、バックゲートと接地間に抵抗器を接続したため、ドレインとバックゲート間及びソースとバックゲート間の容量に起因する高周波電流はこの抵抗器により減衰される。

【0024】一方、直流的にはバックゲートに電流が流れないためバックゲート端子の電圧は所望の電圧値に保たれる。

【0025】

【発明の実施の形態】以下、本発明の実施の形態について添付図面を参照しながら説明する。図1は本発明に係る高周波スイッチ回路の第1の実施の形態の回路図である。これはSi・FETにより構成された高周波スイッチ回路の一例であり、Si・FETとしては、MOS型及びジャンクション型のいずれも使用が可能である。

【0026】なお、従来例(図14)と同様の構成部分には同一番号を付し、その説明を省略する。

【0027】本第1の実施の形態が図14の従来例と異なる点はトランジスタ(FET)111, 112のバックゲート・接地間に抵抗器1を接続し、トランジスタ113のバックゲート・接地間に抵抗器2を接続し、トランジスタ114のバックゲート・接地間に抵抗器3を接続した点のみである。

【0028】そして、この抵抗器1~3の抵抗値はドレイン・バックゲート間容量値及びソース・バックゲート間容量値より十分インピーダンスの高い値に設定する。

【0029】次に、この第1の実施の形態の動作について説明する。いま、端子VCがハイレベル、端子VCバーがローレベルの時はトランジスタ113, 112がオンとなり、トランジスタ111, 114がオフとなるため、端子P2とP3が接続され、端子P1は信号経路を切断される。

【0030】すなわち、端子P1側に送信回路、端子P2側に受信回路が接続され、端子P3にアンテナが接続されている場合は、受信状態になっていると言える。この状態において、端子P3から入力される高周波信号はトランジスタ112を介して端子P2側に抜けるが、ハイインピーダンス状態のトランジスタ111, 114のそれぞれのドレイン電極またはソース電極とそれぞれのバックゲートに対し容量を介して逃げるパスに抵抗器1, 3が挿入されているので、その容量値より十分インピーダンスの高い抵抗値であれば接地に逃げる信号を小さくできる。

【0031】一方、直流的にはバックゲート電極に対して直流電流が流れないように逆バイアスされているため、抵抗1, 3をつなげたからと言ってトランジスタ111, 114の動作に問題は生じない。

【0032】なお、各トランジスタ111~114のゲートと制御端子VC, VCバー間にも抵抗器105~108が接続されているが、これはドレイン・ゲート間及

びソース・ゲート間の容量による高周波信号の透過損失を低減させるためである。

【0033】次に、第2の実施の形態について説明する。図2は第2の実施の形態の回路図である。これもSi・FETにより構成された高周波スイッチ回路の一例であり、Si・FETとしては、MOS型及びジャンクション型のいずれも使用が可能である。

【0034】この第2の実施の形態は、ドレイン電極が端子P5に、ソース電極が端子P7に、ゲート電極が抵抗器11を介して端子VCバーに接続され、バックゲートが抵抗12を介して接地されたトランジスタ13と、ドレイン電極が端子P5に、ソース電極が端子P8に、ゲート電極が抵抗器14を介して端子VCに接続され、バックゲートがトランジスタ13のバックゲートに接続されたトランジスタ15と、ドレイン電極が端子P6に接続され、ソース電極が端子P7に接続され、ゲート電極が抵抗器16を介して端子VCに接続され、バックゲートが抵抗17を介して接地されたトランジスタ18と、ドレイン電極が端子P6に接続され、ソース電極が端子P8に接続され、ゲート電極が抵抗器19を介して端子VCバーに接続され、バックゲートがトランジスタ18のバックゲートに接続されたトランジスタ20とからなる。

【0035】次に、動作について説明する。このスイッチは端子P5, P6の信号をP7とP8のどちらかに出力する、交換機的な働きをする。例えば、端子VCがハイレベルで端子VCバーがローレベルの時は、トランジスタ15, 18が導通状態で、トランジスタ13, 20がハイインピーダンス状態になり、端子P5に入力した信号はP8に現れ、P6に入力した信号はP7に現れる。

【0036】ここで、抵抗器12がなくバックゲートが直接接地されている場合は、端子P5に入力された信号はハイインピーダンスなトランジスタ13のドレイン電極側からバックゲートに容量を介して漏れることになる。

【0037】また、抵抗器17がなければ端子P6から入力された信号はハイインピーダンスなトランジスタ20のドレイン電極からバックゲート電極へ容量を介して漏れることになり、スイッチの性能を下げてしまう。

【0038】しかし、本実施の形態では抵抗器12, 17を有するため、端子P5, 6から入力される信号がハイインピーダンスなトランジスタ13, 20のドレイン電極からバックゲート電極へ容量を介して漏れるのを防止することができる。

【0039】又、抵抗器12, 17がバックゲート・接地間に入ることによりトランジスタ13, 20の動作に悪影響を及ぼさない。

【0040】次に、第3の実施の形態について説明する。図3は第3の実施の形態の回路図である。

【0041】これは、第1の実施の形態である端子P1、端子P2、端子P3の高周波信号入力端子と端子VC、VCバー制御端子からなる1ブロックをSPDTスイッチとした時、端子P1を端子I1に接続し、端子P2を端子I2に接続し、端子P3を端子I5に接続した第1のSPDTスイッチ60と、端子P1を端子I3に接続し、端子P2を端子I4に接続し、端子P3を端子I6に接続した第2のSPDTスイッチ61と、端子P1を端子I5に接続し、端子P2を端子I6に接続し、端子P3を端子I7に接続した第3のSPDTスイッチ62とからなる。

【0042】次に、動作について説明する。コントロール端子のVC1、VC2、VC3の値により、端子I1、I2、I3、I4に入力される高周波信号の内一つが選択されて端子I7に出力される。

【0043】第1の実施の形態の説明で述べたように、各SPDTスイッチでの漏れを抑えることができているため、複数のSPDTスイッチにおいても性能を高周波まで維持することができる。なお、ここでは、3つのSPDTスイッチで構成する場合について述べたが、より

多数のスイッチで構成しても同様である。

【0044】次に、第4の実施の形態について説明する。図4は第4の実施の形態の回路図である。

【0045】これは、第2の実施の形態である端子P5、端子P6の高周波信号入力端子、端子P7、端子P8の高周波信号出力端子、端子VC、VCバー制御端子からなる1ブロックをSPDTスイッチとした時、端子P5を端子K1に接続し、端子P6を端子K2に接続し、端子P7を端子K3に接続し、端子P8を端子K4に接続した第1のSPDTスイッチ70と、端子P5を開放とし、端子P6を端子K3に接続し、端子P7を端子K5に接続し、端子P8を端子K6に接続した第2のSPDTスイッチ71と、端子P5を端子K4に接続し、端子P6を開放とし、端子P7を端子K7に接続し、端子P8を端子K8に接続した第3のSPDTスイッチ72とからなる。

【0046】次に、動作について説明する。コントロール端子のVC1、VC2、VC3の値により、端子K1、K2に入力される高周波信号は出力端子K5～K8の4個のうちの1個から夫々出力される。

【0047】第1の実施の形態の説明で述べたように、各SPDTスイッチでの漏れを抑えることができているため、複数のSPDTスイッチにおいても性能を高周波まで維持することができる。なお、ここでは、3つのSPDTスイッチで構成する場合について述べたが、より多数のスイッチで構成しても同様である。

【0048】次に第5の実施の形態について説明する。図5は第5の実施の形態の回路図である。

【0049】これは第3の実施の形態のSPDTスイッチ60とSPDTスイッチ62の間に高周波信号増幅の

ためのアンプ66を接続し、SPDTスイッチ61とSPDTスイッチ62の間に高周波信号増幅のためのアンプ67を接続したものである。

【0050】複数のスイッチで構成される多入力出力回路では、信号が多段のスイッチ回路を通過するため導通状態のFETの抵抗でのロスが問題になる場合にはスイッチの段間にアンプ等の信号を処理する回路が入ることにより、多数のスイッチで構成されたものに対しても性能を維持することができるようになる。

【0051】次に第6の実施の形態について説明する。図6は第6の実施の形態の回路図である。

【0052】これは第4の実施の形態のSPDTスイッチ70とSPDTスイッチ71の間に高周波信号増幅のためのアンプ76を接続し、SPDTスイッチ70とSPDTスイッチ72の間に高周波信号増幅のためのアンプ77を接続したものである。

【0053】この回路も第5の実施の形態と同様に、スイッチの段間にアンプ等の信号を処理する回路が入ることにより、多数のスイッチで構成されたものに対しても性能を維持することができるようになる。

【0054】図7は透過損失対周波数の特性図である。縦軸は透過損失(dB)、横軸は入出力信号の周波数(GHz)を示す。

【0055】これは第1の実施の形態についてコントロール端子VCがハイレベルの時の端子P2から端子P3へのSパラメータを回路シミュレータを用いて計算した結果を示している。

【0056】同図によれば、入出力周波数が10⁰ GHz、すなわち1GHz以上において本発明ではほとんど透過損失が発生しないのに従来型では次第に透過損失が大きくなることを示している。

【0057】なお、同図では、1GHz以下の周波数で|S₂₁|が低下、すなわち透過損失が大きくなっているが、これは信号経路に入れたスイッチと外部をDC的に切り離すバイパスコンデンサの影響であり、バイパスコンデンサの値を大きくすればより低周波まで|S₂₁|を大きなレベルに維持できる。

【0058】

【発明の効果】本発明によれば、ドレイン、ソース、ゲート及びバックゲートを有するトランジスタの前記ゲート電圧を制御することにより前記ドレイン・ソース間を電氣的に接続又は切断する高周波スイッチ回路であって、その高周波スイッチ回路の前記バックゲートと接地間に抵抗器を接続したため、ドレインとバックゲート間及びソースとバックゲート間の容量に起因する高周波電流の透過損失を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る高周波スイッチ回路の第1の実施の形態の回路図である。

【図2】同回路の第2の実施の形態の回路図である。

【図3】同回路の第3の実施の形態の回路図である。

【図4】同回路の第4の実施の形態の回路図である。

【図5】同回路の第5の実施の形態の回路図である。

【図6】同回路の第6の実施の形態の回路図である。

【図7】同回路の透過損失対周波数の特性図である。

【図8】従来のSPDT構成のスイッチの回路図である。

る。

【図9】トランジスタの等価回路図である。

【図10】Si・FETの端子説明図である。

【図11】Si・FETの等価回路図である。

【図12】GaAs・FETの端子説明図である。

【図13】GaAs・FETの等価回路図である。

【図14】従来のSi・FETによる高周波スイッチ回路の回路図である。

【符号の説明】

1～3, 12, 17 抵抗器

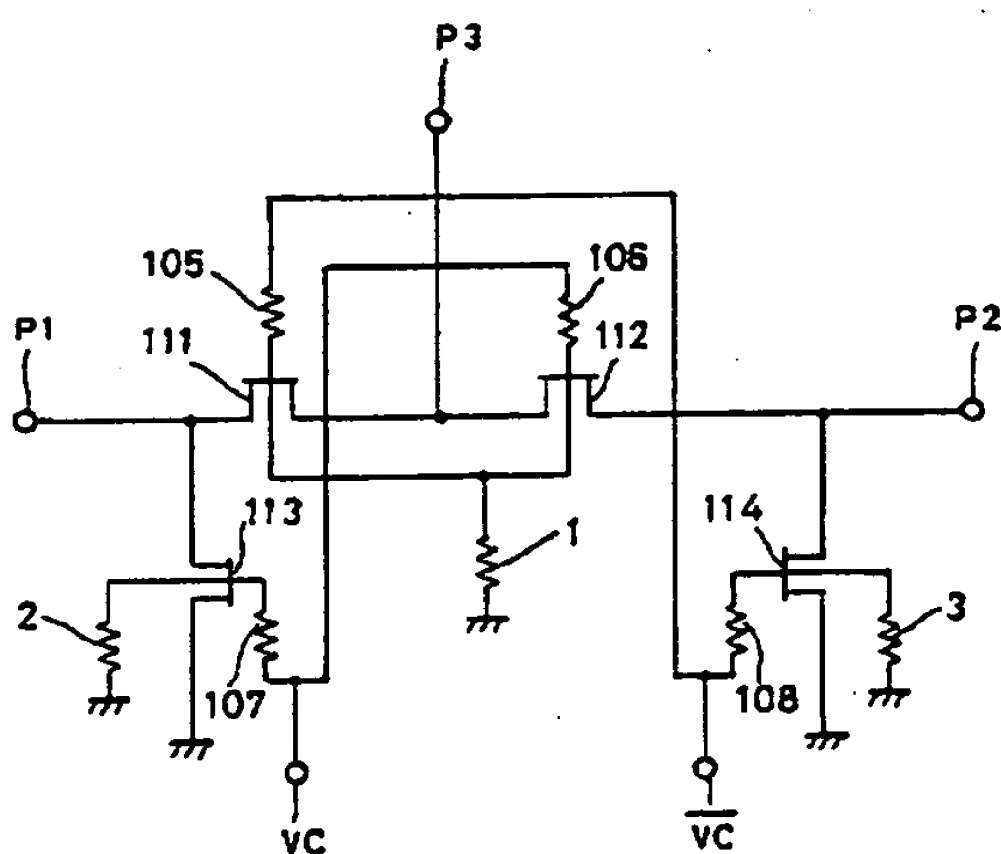
60～62 SPDTスイッチ

70～72 SPDTスイッチ

13, 15, 18, 20 トランジスタ

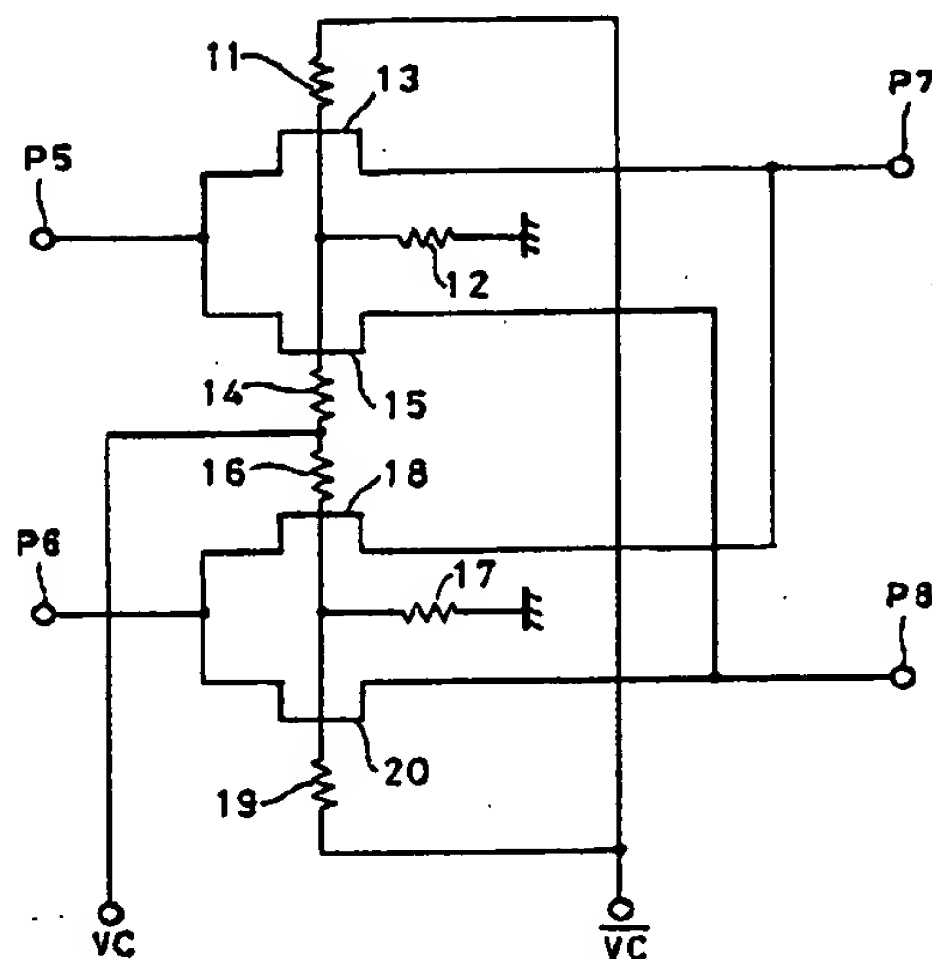
10 111～114 トランジスタ

【図1】

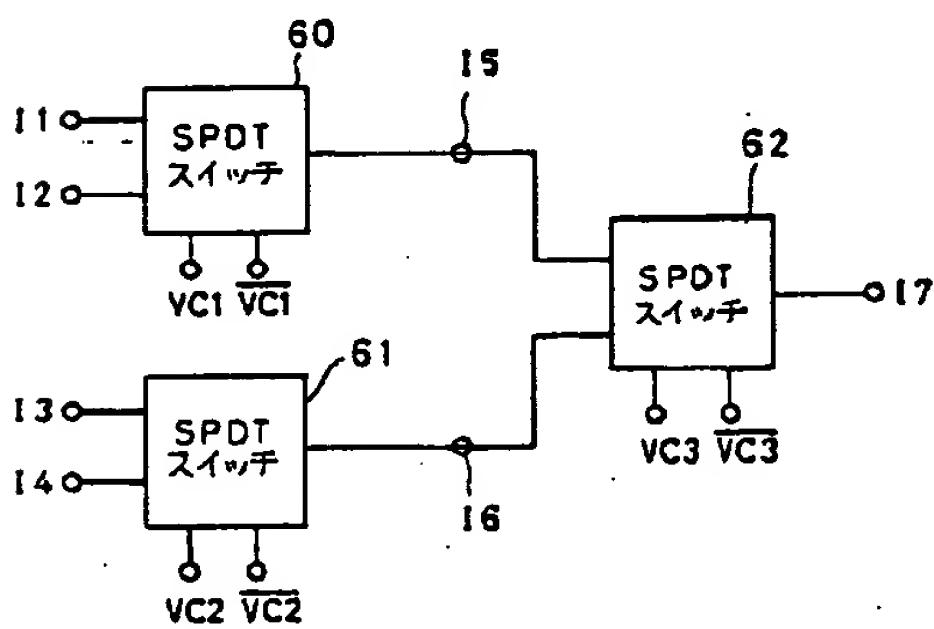


【図3】

【図2】

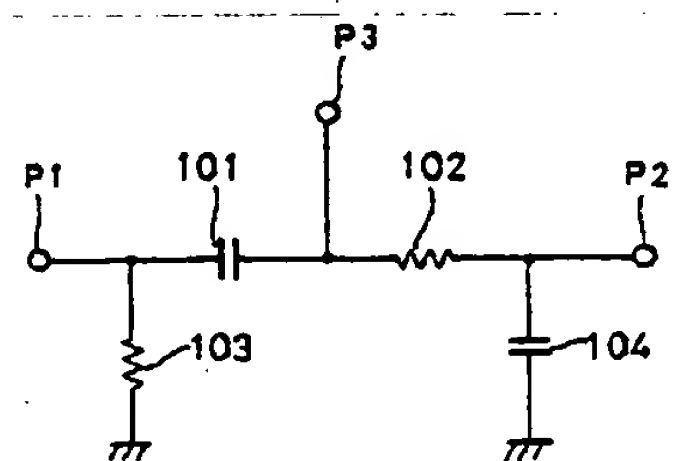


【図4】



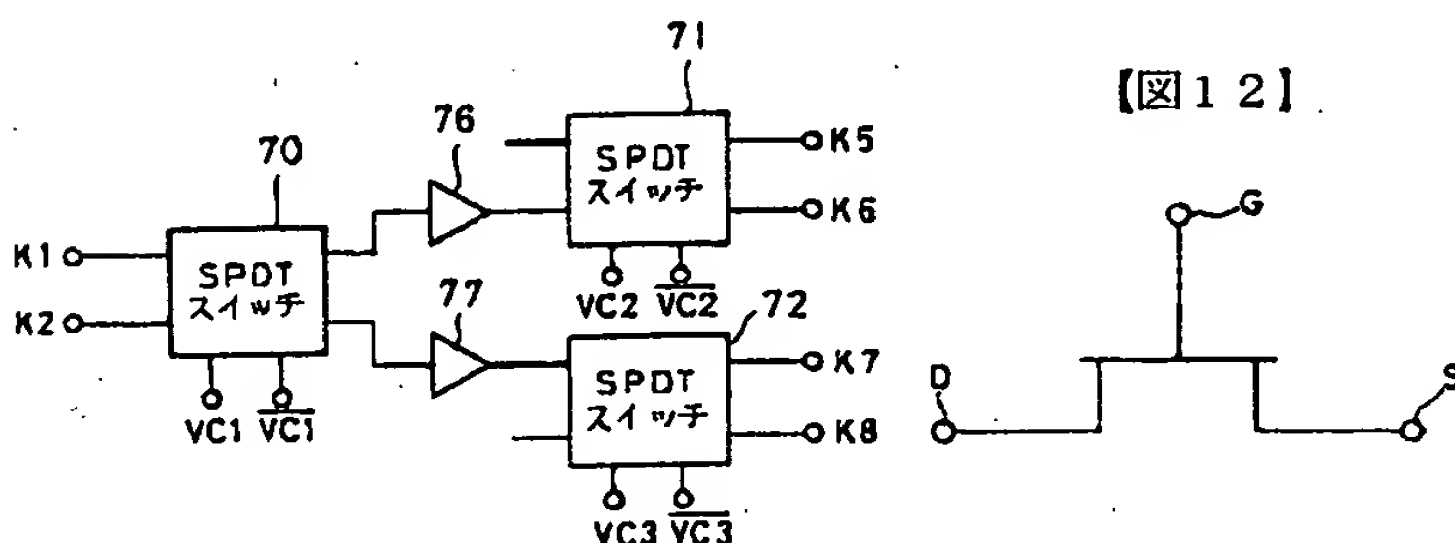
【図6】

【図9】

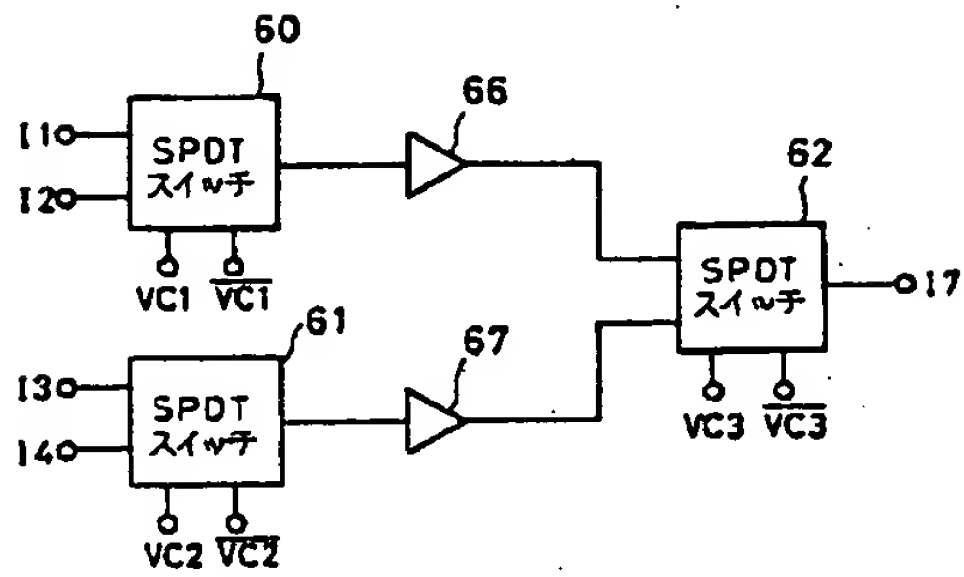


【図10】

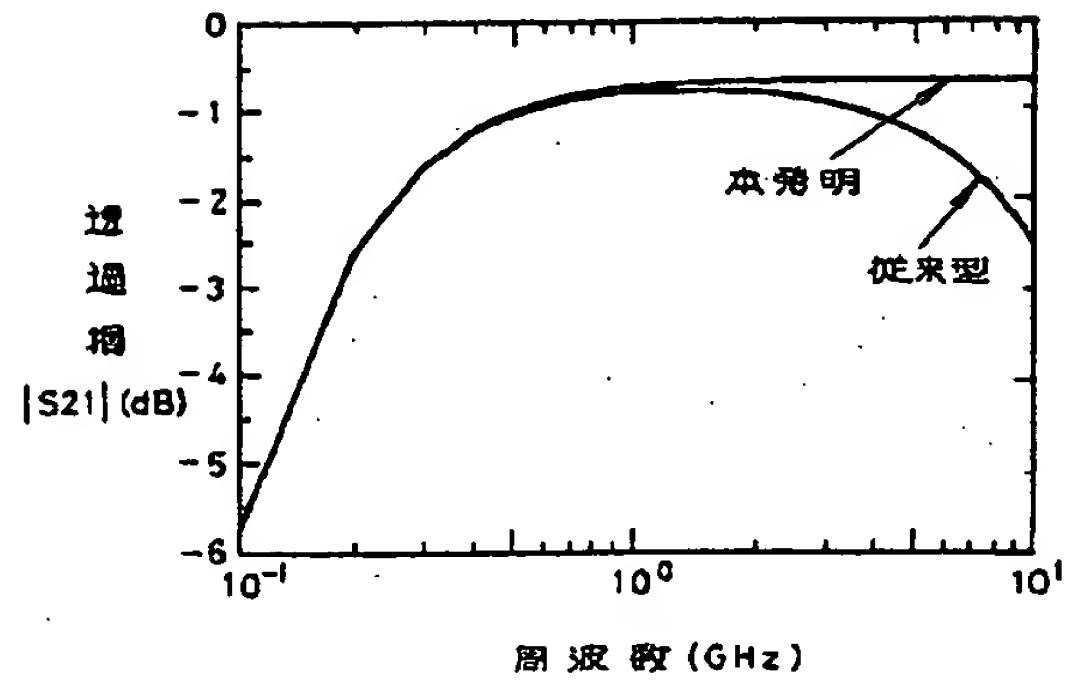
【図12】



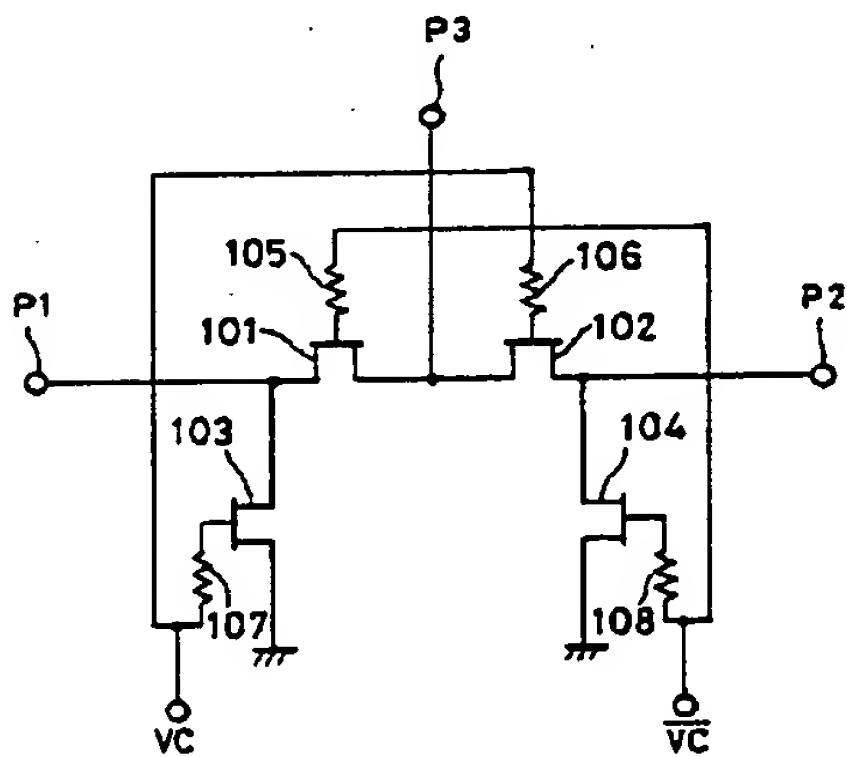
【図5】



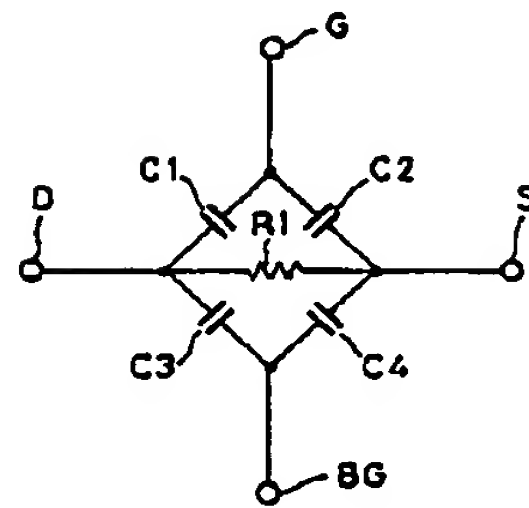
【図7】



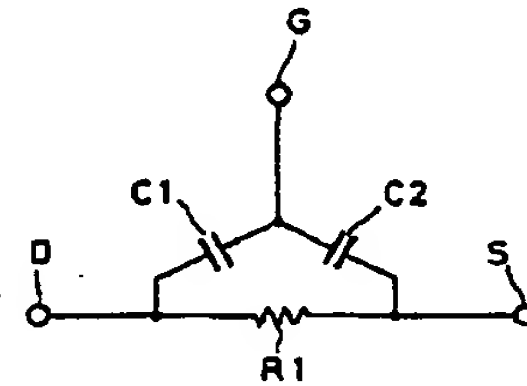
【図8】



【図11】



【図13】



【図14】

